

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-214834

(43)Date of publication of application : 11.08.1998

(51)Int.Cl.

H01L 21/3205

H01L 21/28

H01L 21/304

(21)Application number : 09-013777

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 28.01.1997

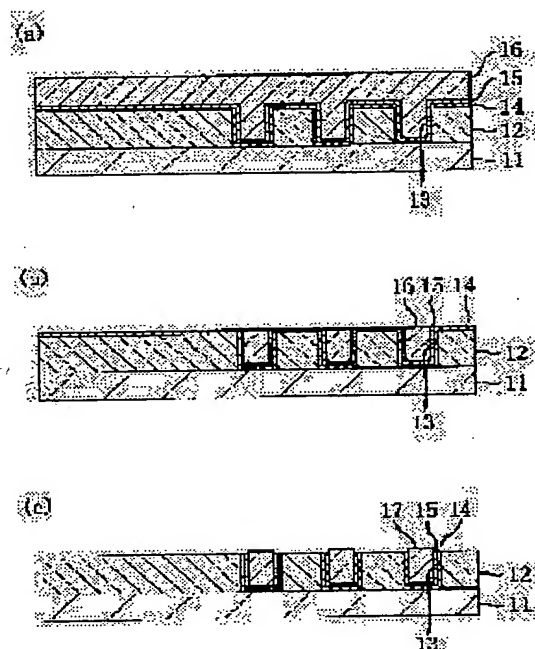
(72)Inventor : SATAKE MITSUNARI
NISHIO MIKIO
MURAKAMI TOMOYASU

(54) METHOD FOR FORMING EMBEDDED WIRING

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an erosion produced on an insulation film and also to prevent flaw on the surface of insulation film from being developed by chemical/ mechanical polishing.

SOLUTION: On an oxide film 12 deposited on a semiconductor substrate 11, a titanium film 14, a titanium nitride film 15, and a tungsten film 16 are sequentially deposited. The first polishing process is performed with polishing agent whose polishing speed is faster at the tungsten film 16 than at the titanium film 14 on the tungsten film 16 and the titanium nitride film 15, so that the titanium film 14 remains while the tungsten film 16 and the titanium nitride film 15 deposited outside a through hole 13 are removed. Then, the second polishing process is performed on the titanium film 14 by using a polishing agent whose polishing speed on the titanium film 14 is equal to, or faster than, that with the oxide film 12 to form a plug 17 of the tungsten film 16 and also to allow the oxide film 12 to be completely exposed.



LEGAL STATUS

[Date of request for examination]

07.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3160545

[Date of registration]

16.02.2001

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

This Page Blank (uspto)

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

Copyright © 2003 Japan Patent Office

This Page Blank (uspto)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-214834

(43) 公開日 平成10年(1998) 8月11日

(51) Int.Cl.⁵ 識別記号

H 0 1 L 21/3205

21/28

21/304

3 0 1

3 2 1

F I

H 0 1 L 21/88

21/28

21/304

K

3 0 1 R

3 2 1 P

3 2 1 M

審査請求 未請求 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願平9-13777

(22) 出願日 平成9年(1997) 1月28日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 佐竹 光成

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 西尾 幹夫

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 村上 友康

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

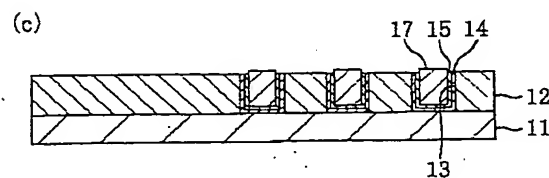
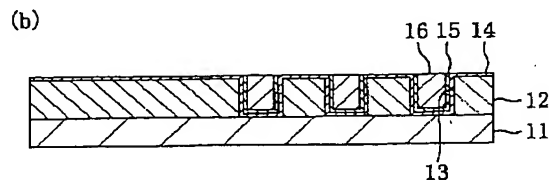
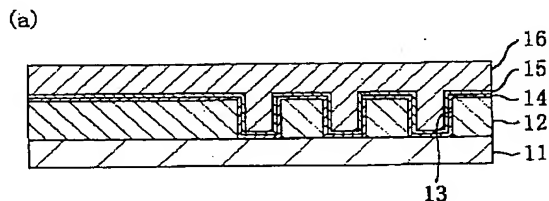
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 埋め込み配線の形成方法

(57) 【要約】

【課題】 絶縁膜に発生するエロージョンを低減すると共に、化学機械研磨によって絶縁膜の表面にキズができないようにする。

【解決手段】 半導体基板11上に堆積された酸化膜12の上に、チタン膜14、窒化チタン膜15及びタングステン膜16を順次堆積する。タングステン膜16及び窒化チタン膜15に対して、タングステン膜16に対する研磨速度がチタン膜14に対する研磨速度よりも大きい研磨剤を用いて第1の研磨工程を行なって、チタン膜14を残存させると共にスルーホール13の外部に堆積されているタングステン膜16及び窒化チタン膜15を除去する。次に、チタン膜14に対して、チタン膜14に対する研磨速度が酸化膜12に対する研磨速度と同程度以上である研磨剤を用いて第2の研磨工程を行なって、タングステン膜16よりなるプラグ17を形成すると共に酸化膜12を完全に露出させる。



【特許請求の範囲】

【請求項1】 基板上に絶縁膜を堆積する絶縁膜堆積工程と、

前記絶縁膜におけるプラグ又は配線が形成される領域に凹部を形成する凹部形成工程と、

前記絶縁膜の上における前記凹部を含む領域に下層の導電膜を堆積する下層導電膜堆積工程と、

前記下層の導電膜の上における前記凹部を含む領域にプラグ又は配線の主材料よりなる上層の導電膜を堆積する上層導電膜堆積工程と、

前記上層の導電膜に対して、前記下層の導電膜に対する研磨速度が前記上層の導電膜に対する研磨速度よりも小さい研磨速度選択比を有する第1の研磨剤を用いて、前記上層の導電膜が前記凹部の領域を除いて除去される一方前記下層の導電膜が残存するように化学機械研磨を行なう第1の研磨工程と、

前記下層の導電膜に対して、前記下層の導電膜に対する研磨速度が前記絶縁膜に対する研磨速度に比べて同程度以上である第2の研磨剤を用いて、前記下層の導電膜が前記凹部の領域を除いて完全に除去される一方前記絶縁膜が残存するように化学機械研磨を行なう第2の研磨工程とを備えていることを特徴とする埋め込み配線の形成方法。

【請求項2】 前記第1の研磨剤は、前記絶縁膜に対する研磨速度が前記上層の導電膜に対する研磨速度の3分の1以下であるような研磨速度選択比を有していることを特徴とする請求項1に記載の埋め込み配線の形成方法。

【請求項3】 前記第1の研磨剤は、前記下層の導電膜に対する研磨速度が前記上層の導電膜に対する研磨速度の2分の1以下である研磨速度選択比を有していることを特徴とする請求項1に記載の埋め込み配線の形成方法。

【請求項4】 前記第2の研磨剤は、前記上層の導電膜に対する研磨能力を有していることを特徴とする請求項1に記載の埋め込み配線の形成方法。

【請求項5】 前記第2の研磨剤は、前記上層の導電膜に対する研磨速度が前記絶縁膜に対する研磨速度の3倍以下である研磨速度選択比を有していることを特徴とする請求項1に記載の埋め込み配線の形成方法。

【請求項6】 前記第1の研磨工程は、前記上層の導電膜が前記凹部の領域を除いて完全に除去されるまで化学機械研磨を行なうことを特徴とする請求項1に記載の埋め込み配線の形成方法。

【請求項7】 前記下層導電膜堆積工程と前記上層導電膜堆積工程との間に、前記下層の導電膜の上における前記凹部を含む領域に中間層の導電膜を堆積する中間層導電膜堆積工程をさらに備えており、

前記第1の研磨工程は、前記中間層の導電膜を前記凹部の領域を除いて除去する工程を含むことを特徴とする請

求項1に記載の埋め込み配線の形成方法。

【請求項8】 前記第2の研磨剤は、前記中間層の導電膜に対する研磨速度が前記下層の導電膜に対する研磨速度よりも大きい研磨速度選択比を有していることを特徴とする請求項7に記載の埋め込み配線の形成方法。

【請求項9】 前記第1の研磨工程は、前記中間層の導電膜が前記凹部の領域を除いて完全に除去されるまで化学機械研磨を行なうことを特徴とする請求項7に記載の埋め込み配線の形成方法。

10 【請求項10】 前記下層の導電膜がチタン膜であると共に前記上層の導電膜はタングステン膜であり、前記第1の研磨剤は、研磨粒子としてアルミナ又はシリカを含むと共に酸化剤として硝酸鉄又はヨウ素酸カリウムを含むことを特徴とする請求項1に記載の埋め込み配線の形成方法。

20 【請求項11】 前記絶縁膜はシリコン酸化膜であると共に前記下層の導電膜はチタン膜であり、前記第2の研磨剤は、研磨粒子としてシリカを含むと共にpH調整剤として水酸化アンモニウム又は水酸化カリウムを含むことを特徴とする請求項1に記載の埋め込み配線の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は、半導体集積回路装置の製造工程等において、半導体基板や絶縁性基板等の基板上に堆積された絶縁膜のスルーホール、コンタクトホール又は凹状溝等の凹部に配線用金属を埋め込んでプラグや配線を形成する埋め込み配線形成方法に関する。

【0002】

30 【従来の技術】近年、埋め込み配線を形成する方法としては、基板上の絶縁膜にスルーホール、コンタクトホール又は凹状溝等の凹部を形成した後、導電性材料を全面に亘って堆積して導電膜を形成し、その後、凹部以外の領域に堆積されている導電膜を化学機械研磨(CMP)法により除去することにより、絶縁膜の凹部にプラグや配線を形成する方法が提案されている。尚、本件明細書においては、基板上の絶縁膜に埋め込まれたプラグ及び配線を埋め込み配線と総称する。

40 【0003】以下、前記従来の埋め込み配線の形成方法を、絶縁膜に形成されたスルーホールにプラグを形成する場合を例にとって図8(a)、(b)を参照しながら説明する。

50 【0004】まず、図8(a)に示すように、半導体基板1の上に絶縁膜としての例えば厚さ1μmのシリコン酸化膜(以下、単に酸化膜と称する。)2を堆積した後、酸化膜2の所定領域に該酸化膜2を貫通する例えば直径0.8μmのスルーホール3をドライエッチング法により形成する。次に、スルーホール3を含む酸化膜2の上に全面に亘ってPVD法により、下層の導電膜としての膜厚30nmのチタン膜4及び中間の導電膜層とし

での膜厚100nmの窒化チタン膜5を順次堆積した後、窒化チタン膜5の上に全面に亘ってCVD法により上層の導電膜としての膜厚1μmのタングステン膜6を堆積する。これにより、3層構造の導電膜が堆積される。この場合、チタン膜4及び窒化チタン膜5は下地膜を構成している。

【0005】次に、研磨粒子としてアルミナを含むと共に酸化剤として硝酸鉄、ヨウ素酸カリウム又は過酸化水素を含む研磨剤を使用して化学機械研磨法を行なって、図8(b)に示すように、スルーホール3以外の領域に堆積されているタングステン膜6、窒化チタン膜5及びチタン膜4を除去することにより、スルーホール3以外の領域の酸化膜2を完全に露出させて、スルーホール3内にタングステンよりなるプラグ7を形成する。この場合、前記の研磨剤を使用する場合、酸化膜2に対する研磨速度は、タングステン膜6、窒化チタン膜5及びチタン膜4に対する研磨速度に比べて小さいため、酸化膜2が研磨のストッパーになるので、研磨の終点検出が可能である。尚、タングステンよりなるプラグ7を形成する場合に限らず、アルミニウムや銅等よりなるプラグや配線を形成する場合には、アルミニウムや銅等の導電膜に対する研磨速度が酸化膜に対する研磨速度に比べて大きい研磨剤を用いるので、酸化膜はやはり研磨のストッパーになる。

【0006】

【発明が解決しようとする課題】しかしながら、例えば3層の導電膜に対する研磨速度は、半導体基板を研磨パッドに押圧する加圧力の基板面内におけるばらつき等に起因して、基板面内において均一ではない。また、半導体基板上の導電膜の膜厚もばらついているため、研磨時に酸化膜よりなる絶縁膜が基板の全面において同時に露出するのではなく、絶縁膜は或る領域では早く露出する一方、他の領域では遅く露出する。つまり、或る領域では絶縁膜が露出しているが、他の領域では導電膜がまだ残存していることがある。絶縁膜の上に導電膜が残存していると、絶縁膜の上に形成されるアルミニウム等よりなる金属配線同士が短絡してしまう。

【0007】従って、金属配線同士が短絡する事態を防止するために、絶縁膜上の導電膜に対する研磨時間を十分にとって導電膜を完全に除去する必要がある。

【0008】ところが、前述したように、導電膜に対する研磨速度が絶縁膜に対する研磨速度よりも大きいために、プラグや配線等が多く形成されているパターン領域の絶縁膜の表面に加わる研磨の圧力は、プラグや配線等が殆ど形成されていない非パターン領域の絶縁膜の表面に加わる研磨の圧力よりも大きくなる。このため、絶縁膜におけるパターン領域においては、研磨速度が非パターン領域の研磨速度よりも大きくなるので、絶縁膜が研磨のストッパーになり難い。従って、図8(b)に示すように、パターン領域(図8における右側の領域)にお

いては、非パターン領域(図8における左側の領域)に比べて、絶縁膜が大きく研磨されてしまう。このように絶縁膜の表面が凹状になる現象を絶縁膜エロージョン(Erosion)という。

【0009】絶縁膜エロージョンは、パターン領域においてプラグや配線の占める面積の割合が大きくなればなるほど顕著に現われ、絶縁膜におけるパターン領域の膜厚は非パターン領域の膜厚に比べて小さくなる。また、絶縁膜エロージョンの度合いは、パターン領域で絶縁膜が露出してから研磨が実行される時間の長さに依存する。このため、導電膜に対する研磨速度が基板面内において均一でない場合には、絶縁膜に数100nm程度の膜厚差が発生することがある。

【0010】前述のように、タングステンよりなるプラグ7を化学機械研磨法により形成する場合には、酸化膜2の上に順次堆積されたチタン膜4、窒化チタン膜5及びタングステン膜6を、研磨粒子としてアルミナを含むと共に酸化剤として硝酸鉄、ヨウ素酸カリウム又は過酸化水素を含む研磨剤を使用して酸化膜2を完全に露出させているが、前記の研磨剤を用いて研磨すると、酸化膜2例えばプラズマTOS膜に対する研磨速度はタングステン膜6に対する研磨速度の3分の1程度以下であるから、酸化膜2が研磨のストッパーの役割を果たす。

【0011】これに対して、酸化膜2に対する研磨速度とタングステン膜2に対する研磨速度とを同等にすることも考慮されるが、このようにすると、研磨の終点検出が困難になる。仮に定盤の回転トルクの変化等により終点検出が可能であっても、酸化膜2に対する研磨速度が大きいために酸化膜2が大きく研磨されてしまう可能性がある。

【0012】従って、研磨の終点検出を行なっても、酸化膜に対する研磨速度が大きいために基板全面に亘って酸化膜が大きく研磨されてしまうこと、及び研磨速度の基板面内の不均一性により酸化膜の膜厚のばらつきが大きくなることの2つの問題を避けるために、酸化膜に対する研磨速度がタングステン膜に対する研磨速度よりも十分に小さくなる方向で研磨剤の開発が行なわれているので、量産時においても、このような研磨速度の選択比を持つ研磨剤が使用される可能性が高い。

【0013】図9は、研磨粒子としてアルミナを含み、酸化剤としてヨウ素酸カリウムを含む研磨剤を用いて化学機械研磨を行なって、酸化膜にタングステンよりなるプラグを形成した場合の酸化膜エロージョンの一例を示しており、図10は、研磨粒子としてアルミナを含み、酸化剤として硝酸鉄を含む研磨剤を用いて化学機械研磨を行なって、酸化膜にタングステンよりなるプラグを形成した場合の酸化膜エロージョンの一例を示している。尚、図9及び図10において、ホールパターン領域とは酸化膜の面積に対してタングステンよりなるプラグの占める面積が10%程度の領域を示しており、非パターン

領域とは酸化膜の面積に対してタングステンよりなるプラグの占める面積が0%の領域を示している。

【0014】図9及び図10に示すように、ホールパターン領域において酸化膜エロージョンが発生している。もっとも、図10に示す場合には、図9に示す場合に比べて、酸化膜エロージョンは小さいが、特異な現象つまりホールパターン領域の周縁部において膜厚が極端に減少する現象が生じている。これは、硝酸鉄の場合に用いられるアルミナの粒子サイズが、他の酸化剤の場合のアルミナの粒子サイズに比べて小さいことに起因していると考えられる。従って、図10に示す場合にもホールパターン領域の周縁部における酸化膜エロージョンが問題になる。

【0015】大きな酸化膜エロージョンが発生すると次のような問題が発生する。すなわち、基板面内においてプラグ及び酸化膜の高さがばらつくために、配線容量又は抵抗ばらつきが発生する。また、酸化膜エロージョンが局所的に起きると、酸化膜上に堆積されるアルミニウム等よりなる配線の断面積がエロージョン部分で減少して、抵抗の増大及び信頼性の低下が起きる。さらに、酸化膜に配線が形成される場合には、配線の高さ（すなわち断面積）が減少するので、配線抵抗の増大、信頼性の低下及び抵抗ばらつきが起きる。

【0016】また、パターン領域においては研磨速度が相対的に大きい一方、非パターン領域においては研磨速度が相対的に小さいために、パターン領域においてプラグや配線が露出してから後も、非パターン領域に残存する導電膜に対して研磨を続行しなければならないため、パターン領域の酸化膜は長時間に亘って研磨剤に含まれるアルミナ粒子によって機械的に研磨されるので、研磨時間の長さにも関係するが、パターン領域の酸化膜の表面に直径数10 μ m、深さ数10～数100nm程度の大きなキズ（マイクロスクラッチと称する。）が多数発生してしまう。キズが発生した酸化膜の上にアルミニウム等よりなる配線が形成されると、配線抵抗の増大及びデバイスの信頼性の低下が起きる。

【0017】そこで、研磨粒子としてシリカを含み、pH調整剤として水酸化カリウム等を含む研磨剤を用いて酸化膜に対して若干の2次研磨を行なって、酸化膜の表面を滑らかにする方法が提案されているが、キズが大きい場合には若干の2次研磨ではキズを完全になくすることはできない。

【0018】前記に鑑み、本発明は、絶縁膜エロージョンを低減すると共に、絶縁膜の表面にキズができないようにすることを目的とする。

【0019】

【課題を解決するための手段】前記の目的を達成するため、本発明は、絶縁膜にプラグや配線よりなる埋め込み配線を形成する場合には、プラグや配線となる上層の導電膜の材料と、下地膜となる下層の導電膜の材料とが異

なることを利用し、下層の導電膜に対する研磨速度が上層の導電膜に対する研磨速度よりも遅くなるような研磨剤を用いて第1の研磨工程を行なった後、下層の導電膜に対する研磨速度が絶縁膜に対する研磨速度に比べて同程度以上である研磨剤を用いて第2の研磨工程を行なうものである。すなわち、従来の1次研磨を第1の研磨工程と第2の研磨工程とに分けて行なうものである。従って、第2の研磨工程が終了した後に、従来と同様の2次研磨を行なってもよい。

10 【0020】本発明に係る埋め込み配線の形成方法は、基板上に絶縁膜を堆積する絶縁膜堆積工程と、前記絶縁膜におけるプラグ又は配線の形成領域に凹部を形成する凹部形成工程と、前記絶縁膜の上における前記凹部を含む領域に下層の導電膜を堆積する下層導電膜堆積工程と、前記下層の導電膜の上における前記凹部を含む領域にプラグ又は配線の主材料よりなる上層の導電膜を堆積する上層導電膜堆積工程と、前記上層の導電膜に対して、前記下層の導電膜に対する研磨速度が前記上層の導電膜に対する研磨速度よりも小さい研磨速度選択比を有する第1の研磨剤を用いて、前記上層の導電膜が前記凹部の領域を除いて除去される一方前記下層の導電膜が残存するように化学機械研磨を行なう第1の研磨工程と、前記下層の導電膜に対して、前記下層の導電膜に対する研磨速度が前記絶縁膜に対する研磨速度に比べて同程度以上である第2の研磨剤を用いて、前記下層の導電膜が前記凹部の領域を除いて完全に除去される一方前記絶縁膜が残存するように化学機械研磨を行なう第2の研磨工程とを備えている。

30 【0021】本発明に係る埋め込み配線の形成方法によると、基板を研磨パッドに押圧する加圧力が基板面内においてばらついていたり、上層の導電膜の膜厚がばらついていたりするために、上層の導電膜に対する研磨時に下層の導電膜が露出する部分と上層の導電膜が残存する部分とが混在して、上層の導電膜及び下層の導電膜の合計膜厚にばらつきが生じて、第1の研磨工程においては、上層の導電膜に対する研磨速度が下層の導電膜に対する研磨速度よりも大きい研磨速度選択比を持つ第1の研磨剤を用いて研磨するので、露出した下層の導電膜に対する研磨速度が遅くなる一方、残存する上層の導電膜に対する研磨速度が速くなる。

40 【0022】また、第2の研磨工程においては、下層の導電膜に対する研磨速度が絶縁膜に対する研磨速度に比べて同程度以上である研磨速度選択比を持つ第2の研磨剤を用いて研磨するため、プラグや配線が多く形成されているパターン領域とプラグや配線が殆ど形成されていない非パターン領域とがほぼ等しい研磨速度で研磨される。

50 【0023】本発明に係る埋め込み配線の形成方法において、前記第1の研磨工程における前記第1の研磨剤は、前記絶縁膜に対する研磨速度が前記上層の導電膜に

対する研磨速度の3分の1以下であるような研磨速度選択比を有していることが好ましい。

【0024】本発明に係る埋め込み配線の形成方法において、前記第1の研磨剤は、前記下層の導電膜に対する研磨速度が前記上層の導電膜に対する研磨速度の2分の1以下である研磨速度選択比を有していることが好ましい。

【0025】本発明に係る埋め込み配線の形成方法において、前記第2の研磨剤は、前記上層の導電膜に対する研磨能力を有していることが好ましい。

【0026】本発明に係る埋め込み配線の形成方法において、前記第2の研磨剤は、前記上層の導電膜に対する研磨速度が前記絶縁膜に対する研磨速度の3倍以下である研磨速度選択比を有していることが好ましい。

【0027】本発明に係る埋め込み配線の形成方法において、前記第1の研磨工程は、前記上層の導電膜が前記凹部の領域を除いて完全に除去されるまで化学機械研磨を行なうことが好ましい。

【0028】本発明に係る埋め込み配線の形成方法は、前記下層導電膜堆積工程と前記上層導電膜堆積工程との間に、前記下層の導電膜の上における前記凹部を含む領域に中間層の導電膜を堆積する中間層導電膜堆積工程をさらに備えており、前記第1の研磨工程は、前記中間層の導電膜を前記凹部の領域を除いて除去する工程を含むことが好ましい。

【0029】この場合、前記第2の研磨剤は、前記中間層の導電膜に対する研磨速度が前記下層の導電膜に対する研磨速度よりも大きい研磨速度選択比を有していることがより好ましい。

【0030】前記の場合、前記第1の研磨工程は、前記中間層の導電膜が前記凹部の領域を除いて完全に除去されるまで化学機械研磨を行なうことがより好ましい。

【0031】本発明に係る埋め込み配線の形成方法において、前記下層の導電膜がチタン膜であると共に前記上層の導電膜はタングステン膜であり、前記第1の研磨工程における前記第1の研磨剤は、研磨粒子としてアルミナ又はシリカを含むと共に酸化剤として硝酸鉄又はヨウ素酸カリウムを含むことが好ましい。

【0032】本発明に係る埋め込み配線の形成方法において、前記絶縁膜はシリコン酸化膜であると共に前記下層の導電膜はチタン膜であり、前記第2の研磨工程における前記第2の研磨剤は、研磨粒子としてシリカを含むと共にpH調整剤として水酸化アンモニウム又は水酸化カリウムを含むことが好ましい。

【0033】

【発明の実施の形態】以下、本発明の一実施形態に係る埋め込み配線形成方法として、酸化膜よりなる絶縁膜にタングステンよりなるプラグを形成する方法について図1(a)～(c)を参照しながら説明する。

【0034】(導電膜堆積工程) まず、図1(a)に示

すように、半導体基板11の上に、例えばCVD法により絶縁膜としての例えば厚さ1.2μmの酸化膜12を堆積する。次に、酸化膜12の上に、プラグ形成領域に開口部を有するレジストパターンを形成した後、該レジストパターンをマスクとして酸化膜12に対してエッチングを行なって、酸化膜12に例えば直径0.5μmのスルーホール13を形成し、その後、レジストを除去する。尚、スルーホール13の代わりに、コンタクトホールであってもよい。スルーホールとは、上層の配線と下層の配線とを接続するためのホールを意味し、コンタクトホールとは、配線と基板とを接続するためのホールを意味する。

【0035】次に、スルーホール13を含む酸化膜12の上に全面に亘って、例えばPVD法により、下層の導電膜としての膜厚30nmのチタン膜14と、中間層の導電膜としての膜厚100nmの窒化チタン膜15とを順次堆積する。その後、例えばCVD法により、全面に亘って主プラグ材料であるタングステンよりなる上層の導電膜としての膜厚600nmのタングステン膜16を堆積する。尚、窒化チタン膜15は、タングステン膜16のタングステンと下層のアルミニウム配線のアルミニウムとが相互に拡散すること(コンタクトホールの場合には、タングステンと基板のシリコンとが相互に拡散すること)を防止するために堆積され、チタン膜14は窒化チタン膜15の酸化膜12に対する密着性を向上させるために堆積される。尚、コンタクトホールの場合には、密着性の向上のほか、タングステンと基板との間の接触抵抗を小さくする働きがある。すなわち、窒化チタン膜15はバリア層としての機能を有し、チタン膜14は密着層としての機能を有している。

【0036】(第1の研磨工程) 次に、タングステン膜16及び窒化チタン膜15に対して、タングステン膜16に対する研磨速度がチタン膜14に対する研磨速度よりも大きい研磨剤を用いて第1の研磨工程を行なって、図1(b)に示すように、チタン膜14を残存させると共に、スルーホール13の外部に堆積されているタングステン膜16及び窒化チタン膜15を除去する。尚、この第1の研磨工程においては、タングステン膜16及び窒化チタン膜15が多少残存してもよいし、酸化膜12が部分的に若干露出してもよい。

【0037】タングステン膜16に対する研磨速度がチタン膜14に対する研磨速度よりも大きい研磨剤としては、研磨粒子としてアルミナを含むと共に酸化剤として硝酸鉄を含む研磨剤が挙げられる。このような研磨剤を用いて第1の研磨工程を行なう場合、タングステン膜16に対する研磨速度と窒化チタン膜15に対する研磨速度とはほぼ等しいが、チタン膜14に対する研磨速度はタングステン膜16に対する研磨速度の5分の1程度であるため、第1の研磨工程をチタン膜14が残存する状態で終了することが容易である。尚、ここで言う研磨速

10

20

30

40

50

度とは、パターンが形成されていない半導体基板の上に全面に堆積された膜に対して研磨を行なう場合の速度である。

【0038】このような観点から、チタン膜14のような下層の導電膜に対する研磨速度が、タングステン膜16のような上層の導電膜に対する研磨速度よりも小さいことが好ましい。この場合、研磨速度比が2分の1程度以下になるように、上層の導電膜及び下層の導電膜の材料を選択したり又は研磨剤を選択したりすることがより好ましい。

【0039】尚、前記のように、上層の導電膜の下に、中間層の導電膜及び下層の導電膜よりなる積層構造の地下膜が堆積される場合においても、下層の導電膜に対する研磨速度が上層の導電膜に対する研磨速度よりも小さければよい。

【0040】前述したように、第1の研磨工程の終了時において、酸化膜12が若干露出してもよいが、酸化膜エロージョンの回避という観点からは、酸化膜12は全く露出しない方が好ましい。もっとも、実際には、研磨速度の基板面内の不均一性により、プラグホール以外のタングステン膜16つまり酸化膜12の上に堆積されたタングステン膜16を完全に除去しようとする場合、基板に対する加圧力のばらつき又は導電膜の膜厚のばらつきに起因して酸化膜12が露出してしまいう可能性がある。前記の研磨剤によると、チタン膜14に対する研磨速度は、タングステン膜16や窒化チタン膜15に対する研磨速度の5分の1程度であるから、研磨速度の基板面内における均一性が或る程度確保されれば、酸化膜12が露出しない状態で第1の研磨工程を終了することは可能である。

【0041】しかしながら、研磨速度の基板面内における均一性が悪い場合には、前記の研磨速度選択比では不十分であり、酸化膜12が露出してしまいう可能性もある。従って、チタン膜14が殆ど研磨されないような研磨剤を用いる必要がある。但し、この場合には、酸化膜12は露出しないため、酸化膜12に対する研磨速度は考量する必要がない。

【0042】ところで、酸化膜エロージョンは酸化膜12が露出してから研磨時間にほぼ比例するため、酸化膜12が露出してから研磨時間が短ければ酸化膜エロージョンは小さくなる。従って、第1の研磨工程の終了時において、酸化膜12が若干露出しても差し支えない。

【0043】尚、第1の研磨工程に用いる研磨剤に含まれる酸化剤としては、硝酸鉄に代えて、ヨウ素酸カリウム又は過酸化水素等であってもよい。酸化剤としてヨウ素酸カリウム又は過酸化水素を用いる場合には、チタン膜14に対する研磨速度のタングステン膜16に対する研磨速度比は硝酸鉄の場合の研磨速度選択比の2分の1程度であるが、タングステン膜16及び窒化チタン膜1

5を除去する一方、チタン膜14を残存させる状態で第1の研磨工程を終了することは可能である。

【0044】また、第1の研磨工程に用いる研磨剤に含まれる研磨粒子としては、アルミナに代えて、シリカ等でもよい。

【0045】第1の研磨工程の終了のタイミングは、研磨時間の制御により行なってもよいが、チタン膜14に対する研磨速度が小さいので、定盤の回転トルクの変化、研磨パッドの表面温度の変化又は半導体基板11を保持するキャリアーの振動の変化等を終点検出に用いることが好ましい。このようにすると、チタン膜14が残存する状態で第1の研磨工程を確実に終了することができる。

【0046】(第2の研磨工程)次に、チタン膜14に対して、チタン膜14に対する研磨速度が酸化膜12に対する研磨速度と同程度か又はそれ以上である研磨剤を用いて第2の研磨工程を行なって、図1(c)に示すように、タングステン膜16よりなるプラグ17を形成すると共に酸化膜12を完全に露出させる。

【0047】この場合、チタン膜14に対する研磨速度が酸化膜12に対する研磨速度よりも小さいと、例えば、チタン膜14に対する研磨速度が酸化膜12に対する研磨速度の0.5倍程度未満であると、酸化膜12の上に残存しているチタン膜14の膜厚ばらつきよりも大きな酸化膜の膜厚ばらつきが発生するので好ましくない。

【0048】また、チタン膜14に対する研磨速度は、酸化膜12に対する研磨速度と同程度か又はそれ以上であると前述したが、チタン膜14に対する研磨速度が酸化膜12に対する研磨速度よりもかなり大きくなると、酸化膜12が露出してから後、タングステンよりなるプラグ17の側面に堆積しているチタン膜14に対する研磨がどんどん進むので、酸化膜エロージョンが起きる。従って、酸化膜エロージョンが大きにならないように、チタン膜14に対する研磨速度と酸化膜12に対する研磨速度との研磨速度比を選択することが好ましい。

【0049】チタン膜14に対する研磨速度と酸化膜12に対する研磨速度とが同程度となる研磨剤としては、研磨粒子としてシリカを含むと共にpH調整剤として水酸化アンモニウムを含む研磨剤が挙げられる。

【0050】尚、第2の研磨工程に用いる研磨剤に含まれる研磨粒子としては、シリカに代えてセリウムを用いることができ、pH調整剤としては、水酸化アンモニウムに代えて水酸化カリウム等を用いることができる。また、第2の研磨工程に用いる研磨剤としては、中性の研磨剤又は有機アルカリを含む研磨剤等を用いることができる。

【0051】この第2の研磨工程においては、酸化膜12の上に残存している窒化チタン膜15やチタン膜14の膜厚が小さいため、研磨の終点検出に払う注意が少な

くてもよいので、時間制御によって研磨を終了することができる。もっとも、定盤の回転トルクの変化等から終点検出を行なってもよい。

【0052】尚、第1の研磨工程及び第2の研磨工程においては、窒化チタン膜15に対する研磨については特に説明しなかったが、第1の研磨工程に用いる前記の研磨剤は、窒化チタン膜15に対する研磨速度とタングステン膜16に対する研磨速度とがほぼ等しく、第2の研磨工程に用いる前記の研磨剤は、窒化チタン膜15に対する研磨速度とチタン膜14に対する研磨速度とがほぼ

等しいので、特に問題にならない。

【0053】ところで、酸化膜を研磨のストッパーとすべく、酸化膜に対する研磨速度が、タングステン膜、窒化チタン膜及びチタン膜に対する研磨速度よりも小さい研磨剤を用いると、酸化膜エロージョンが発生するという点に鑑みて、タングステン膜16、窒化チタン膜15、チタン膜14及び酸化膜12に対する研磨速度がほぼ等しい研磨剤を用いて、1回の研磨工程のみによってブラグ又は配線を形成する方法も考慮されるが、このようにすると、次のような弊害が発生する。

【0054】第1の弊害として、チタン膜14に対する研磨速度と酸化膜12に対する研磨速度とがほぼ等しいため、研磨の終点検出が難しいので、酸化膜12を大きく研磨してしまう可能性がある。

【0055】第2の弊害として、半導体基板11を研磨パッドに押圧する加圧力のばらつきに起因して、半導体基板11の面内において研磨速度が均一でない場合、研磨速度の大きい部分では、酸化膜12が大きく研磨されてしまうので、酸化膜12の膜厚のばらつきが大きくなる。研磨速度の基板面内不均一性NU(Non Uniformity)は、最大研磨速度Max、最小研磨速度Min及び平均研磨速度Aveを用いると、以下の式で表される。すなわち、

$$NU = (Max - Min) / (2 \times Ave)$$

以下、ブラグ材料として厚さ600nmのタングステン膜を用い、下地材料として厚さ100nmの窒化チタン膜及び厚さ30nmのチタン膜を用い、絶縁膜として酸化膜を用いる場合における、導電膜(タングステン、窒化チタン及びチタン)の膜厚と研磨時間との関係について、図2～図6を参照しながら説明する。尚、図2～図4は従来例を示しており、図5及び図6は本発明の実施例を示している。また、図2～図6において、導電膜の膜厚がマイナスの領域は、酸化膜12に対する研磨の膜厚を示している。

【0056】図2は、酸化膜12に対する研磨速度と導電膜に対する研磨速度とが等しい場合における導電膜の膜厚と研磨時間との関係を示しており、具体的には、タングステン膜16、窒化チタン膜15、チタン膜14及び酸化膜12に対する平均研磨速度Aveがすべて30

15%であるの導電膜の膜厚と研磨時間との関係を示している。この場合、最大研磨速度Maxは330nm/min、最小研磨速度Minは270nm/minとなる。この条件で研磨を行なう場合、酸化膜12に対する研磨速度と導電膜に対する研磨速度とが等しいため、研磨の終点(つまり、酸化膜12の上に堆積されている導電膜が除去されるタイミング)の検出が確実でないために、Minの箇所において酸化膜12が露出してからさらに20秒間程度の超過研磨を行なう。図2に示すように、Minの箇所において酸化膜12が露出してから20秒間の超過研磨を行なうと、Maxの箇所とMinの箇所とにおける酸化膜12の膜厚差は300nm程度と非常に大きくなる。また、酸化膜12に対する研磨の膜厚もMaxの箇所においては400nm程度と非常に大きくなってしまふ。

【0057】図3及び図4は、酸化膜12が完全に露出するまで研磨を行なう場合における導電膜の膜厚と研磨時間との関係を示しており、図3は硝酸鉄系の研磨剤を用いる場合であり、図4はヨウ素酸カリウム系の研磨剤を用いる場合である。尚、酸化膜の研磨量域においては、Maxの箇所ではパターン領域(すなわち、エロージョン部)の酸化膜の研磨膜厚を示し、Minの箇所では非パターン領域の酸化膜の研磨膜厚を示している。

【0058】具体的には、図3及び図4は、酸化膜12が研磨のストッパーとなるような、つまりタングステン膜16の研磨に一般的に用いられている、酸化剤として硝酸鉄を含み、研磨粒子としてアルミナを含む研磨剤(図3の場合)と、酸化剤としてヨウ素酸カリウムを含み、研磨粒子としてアルミナを含む研磨剤(図4の場合)との2種類の研磨剤を用いて、酸化膜12が完全に露出するまで研磨を行なう従来の研磨方法を示している。尚、その他の研磨条件として、両研磨剤において、研磨圧力300g/cm²、定盤回転数60rpm、不織布よりなる研磨布を使用する。この条件下における、パターンのない基板上に全面に堆積されたタングステン、窒化チタン、チタン及び酸化膜(プラズマTEOS膜)の平均研磨速度Aveは、硝酸鉄系の研磨剤の場合には、それぞれ660nm/min、500nm/min、80nm/min及び10nm/min、ヨウ素酸カリウム系の研磨剤の場合には、それぞれ、300nm/min、350nm/min、120nm/min及び25nm/minであった。但し、チタンは下地の酸化膜と反応してチタン酸化膜となっている可能性が高いため、実際のチタン膜14に対する研磨速度はさらに小さく、前述した値の1/2とする。また、研磨速度の基板面内の不均一性NUは±15%とする。また、両研磨剤において、チタン膜14に対する研磨速度が小さいため、研磨の終点検出を行なったとしても、Minの箇所において酸化膜14が露出してから30秒間程度の超過研磨を行なってしまうとする。

【0059】図3及び図4から、超過研磨時間の増大に伴って、Maxの箇所とMinの箇所における酸化膜12の膜厚差も増大し、30秒間の超過研磨では、硝酸鉄系の研磨剤の場合100nm程度の膜厚差が生じ、ヨウ素酸カリウム系の研磨剤の場合90nm程度の膜厚差が生じる。よって、酸化膜の膜厚差は十分に小さいとは言えないが、導電膜に対する研磨速度と酸化膜に対する研磨速度とが等しい場合（図2に示す場合）に比べれば、かなり改善されていることが分かる。

【0060】これに対して、本実施形態に係る研磨方法の具体的な実施例として、前記の両研磨剤（すなわち、図1において、タングステン膜16に対する研磨速度がチタン膜14に対する研磨速度よりも大きいと共に、酸化膜12に対する研磨速度がタングステン膜16に対する研磨速度よりも小さいような研磨剤）を用いて、Minの箇所においてチタン膜14が露出してから10秒程度後に第1の研磨を終了し、引き続いて、酸化膜16の研磨速度に対するタングステン膜16の研磨速度の比が第1の研磨の場合よりも小さく、また、チタン膜14に対する研磨速度が酸化膜12に対する研磨速度と同程度以上であるような研磨剤を使用して酸化膜12が完全に露出するまで第2の研磨を施す。チタン膜14が露出してから10秒程度後に第1の研磨を終了するのは、研磨の終点検出が若干遅れるためである。第2の研磨で使用する研磨剤は、pH調整剤として例えば水酸化アンモニウムや水酸化カリウム、研磨粒子として例えばシリカを含有し、この研磨剤と、第1の研磨時に使用した条件を使用すると、チタン膜14と酸化膜12（プラズマTEOS膜）の平均研磨速度Aveは共に100nm/min程度となり、また、タングステン膜16は殆ど研磨されないの、前記の条件に当てはまる。この研磨剤にて、基板面内の研磨速度の不均一性NUが±15%である状態で第2の研磨を時間制御により30秒程度行なう。但し、そのうちの10秒間は超過研磨とする。超過研磨時間を10秒間（従来例では30秒間）としたのは、研磨速度が100nm/minと大きいため、10秒間の超過研磨を行えば、チタン膜14は残存することがないためである。また、前述した研磨剤にて第2の研磨を施すため、酸化膜12の表面にはキズは殆ど発生しない。

【0061】図5及び図6は、本発明の一実施例の場合における導電膜の膜厚と研磨時間との関係を示しており、図5は第1の研磨時に硝酸鉄系の研磨剤を使用する場合であり、図6は第1の研磨時にヨウ素酸カリウム系の研磨剤を使用する場合である。図5及び図6に示す場合は、図3及び図4の場合と比較して、Maxの箇所とMinの箇所における酸化膜の膜厚差は減少していることが分かる。さらに、研磨時間も大幅に短縮していることが分かる。

【0062】また、図5（第1の研磨時の研磨剤が硝酸

鉄系である場合）と図6（第1の研磨時の研磨剤がヨウ素酸カリウム系）とを比較すると、硝酸鉄系の方がチタン膜14の研磨速度が小さいため、チタン膜14内で膜厚のばらつきが緩和され、Maxの箇所とMinの箇所における酸化膜の膜厚差が小さくなっていることが分かる。

【0063】以下、前記のような第1の研磨工程及び第2の研磨工程を行なう、前記実施形態に係る埋め込み配線の形成方法の効果について説明する。

【0064】まず、半導体基板11を研磨パッドに押圧する加圧力が基板面内においてばらついたり、タングステン膜16の膜厚がばらついたりするため、タングステン膜16に対する研磨時に、チタン膜14が露出する部分とタングステン膜16が残存する部分とが混在しても、第1の研磨工程においては、タングステン膜16に対する研磨速度がチタン膜14に対する研磨速度よりも大きい研磨剤を用いて研磨を行なうため、露出したチタン膜14に対する研磨が遅くなる一方、残存するタングステン膜16に対する研磨が速くなるので、残存するタングステン膜16は速やかに除去される。

【0065】また、第2の研磨工程においては、酸化膜12の研磨速度に対するタングステン膜16の研磨速度の比が第1の研磨時よりも小さく、またチタン膜14の研磨速度が酸化膜12の研磨速度と同程度以上である研磨剤を用いて研磨を行なうため、ブラグや配線が多く形成されているパターン領域とブラグや配線が殆ど形成されていない非パターン領域とがほぼ等しい研磨速度で研磨されるので、酸化膜エロージョンが発生し難い。

【0066】また、第1の研磨工程において、基板に対する加圧力のばらつきや導電膜の膜厚のばらつきに起因して酸化膜12が露出することがあり、露出した酸化膜12の表面にキズが発生する恐れはある。しかしながら、第1の研磨工程は、チタン膜14が露出したときに研磨を終了するので、酸化膜12に対する研磨時間は極めて短いので、キズが発生してもキズは小さい。また、第2の研磨工程においては、研磨粒子として例えばシリカやセリウムを含み、pH調整剤として例えば水酸化アンモニウムや水酸化カリウム等を含む研磨剤を使用しているため、第1の研磨工程において酸化膜12の表面に発生した小さいキズを第2の研磨工程においてはほぼ完全になくすることができる。

【0067】また、第2の研磨工程において、研磨粒子としてシリカやセリウムを含み、pH調整剤として水酸化アンモニウムや水酸化カリウム等を含む研磨剤を用いるため、窒化チタン膜15、チタン膜14及び酸化膜12はほぼ同等の研磨速度で研磨されるが、タングステン膜16は殆ど研磨されないの、タングステンよりなるブラグ17の上部は酸化膜12の表面から突出する。このため、ブラグ17と該ブラグ17の上に形成される金属配線との接触抵抗の減少が期待される。従来の研磨方

法においては、プラグ17の上部を酸化膜12の表面から突出させるための条件は、タングステン膜16に対する研磨速度と酸化膜12に対する研磨速度との差のみによって実現可能であったが、本実施形態によると、タングステン膜16に対する研磨速度と酸化膜12に対する研磨速度との差のほかに、タングステン膜16に対する研磨速度と、窒化チタン膜15及びチタン膜14に対する研磨速度との差によっても実現できる。

【0068】さらに、第2の研磨工程において、研磨粒子としてシリカやセリウムを含み、pH調整剤として水酸化アンモニウムや水酸化カリウム等を含む研磨剤を用いるため、第1の研磨工程の研磨剤に含まれているアルミナ粒子や鉄等の重金属が第2の研磨工程において研磨面から除去される利点も有している。

【0069】以下、前記の実施形態に対してより好ましい研磨条件について説明する。

【0070】第1の研磨工程に用いる研磨剤は、タングステン膜16に対する研磨速度がチタン膜14に対する研磨速度よりも大きいと共に、タングステン膜16に対する研磨速度が酸化膜12に対する研磨速度よりも大きいことがより好ましい。

【0071】このようにすると、半導体基板11に対する加圧力やタングステン膜16の膜厚が大きくばらついているために、第1の研磨工程において、タングステン膜16が残存するにも拘わらず酸化膜12が或る部分において露出することがあっても、残存するタングステン膜16が速やかに除去される。もっとも、チタン膜14の研磨速度が非常に小さいならば、第1の研磨工程において酸化膜12が露出することがないので、この場合には酸化膜の研磨速度は考慮する必要はない。

【0072】第2の研磨工程に用いる研磨剤として、チタン膜14に対する研磨速度が酸化膜12に対する研磨速度と同等か又はそれ以上であると共に、タングステン膜16を研磨する能力を有していること、つまり、タングステン膜16に対する研磨速度は、酸化膜12に対する研磨速度の0.5倍以上であることがより好ましい。

【0073】このようにすると、第1の研磨工程が終了した時点でタングステン膜16が残存しても、第2の研磨工程において、残存するタングステン膜16は速やかに除去される。

【0074】もっとも、タングステン膜16に対する研磨速度が酸化膜12に対する研磨速度に比べて大き過ぎると、酸化膜12の上に残存する導電膜を完全に除去するべく酸化膜12が露出してからも行なう研磨によって、パターン領域の研磨が進み過ぎて酸化膜エロージョンが発生してしまう恐れがある。従って、酸化膜12に対するタングステン膜16の研磨速度比は、第1の研磨時における酸化膜12に対するタングステン膜16の研磨速度比よりも小さいことが好ましく、特に3倍以下であることが好ましい。以上の観点から、タングステン膜

16に対する研磨速度は、酸化膜12に対する研磨速度の0.5倍以上で且つ3倍以下であることが好ましい。

【0075】尚、第1の研磨工程においては、酸化膜12の上にタングステン膜16が多少残存してもよいと説明したが、第2の研磨工程に用いる研磨剤が、タングステン膜16に対する研磨能力を殆ど有していない場合には、第1の研磨工程をタングステン膜16が完全に除去されるまで行なう必要がある。

【0076】また、前記の実施形態においては、下層のチタン膜14及び中間層の窒化チタン膜15よりなる下地膜の上にタングステン膜16を堆積してタングステンよりなるプラグ17を形成する場合であったが、プラグ17に代えて配線を形成する場合にも前記の研磨方法は適用できる。酸化膜12に配線を形成する場合には、酸化膜エロージョンの問題のほかに、配線用溝の幅が大きい場合、配線の中央部で配線の膜厚が減少するディッシング現象が発生する恐れがあり、両方の問題によって、配線の断面積が極めて小さくなって、配線抵抗の増大及び信頼性の低下を引き起こしてしまう恐れがあるが、本発明を適用すると、前記の両問題は解決する。

【0077】また、前記の実施形態においては、主プラグ材料又は主配線材料としてタングステンをを用いたが、これに代えて、アルミニウム、アルミニウム合金又は銅等を用いることができる。ここで言うアルミニウム合金とは、アルミニウム・銅合金やアルミニウム・シリコン・銅合金等である。

【0078】また、前記の実施形態においては、中間層の導電膜及び下層の導電膜を構成する材料としては、チタン、タングステン、タンタル若しくはモリブデン等の金属材料、これらの金属材料の合金、これらの金属材料にシリコンを添加した導電材料、又は、前記の金属材料若しくは導電材料の窒化化合物や炭化合物等が挙げられ、これらの各材料よりなる導電膜を単層又は積層で用いることができる。もっとも、前記のすべての材料が、前述した第1の研磨工程及び第2の研磨工程で用いた研磨剤によって前記の研磨条件を実現できるとは限らないが、その場合には、適宜の研磨剤及び研磨条件を設定する必要がある。

【0079】また、前記の実施形態においては、下層の導電膜に対する研磨速度が、プラグや配線の主材料（タングステン、アルミニウム、アルミニウム合金、銅等）よりなる上層の導電膜に対する研磨速度よりも小さいために、下層の導電膜が露出し且つ絶縁膜が露出しない状態で第1の研磨工程を終了することは容易であるが、研磨速度の基板面内の不均一性が極めて大きい等の理由により、絶縁膜が露出してしまうことがある。このような場合には、スルーホールや凹状溝等の凹部以外の領域に堆積する下層の導電膜の膜厚を凹部に堆積する下層の導電膜の膜厚に比べて大きくすることが好ましい。このようにすると、絶縁膜を露出させることなく第1の研磨工

程を終了させることは可能である。

【0080】もっとも、下層の導電膜がチタン膜である場合には、チタン膜は通常スパッタ法により堆積するため、凹部以外の領域に堆積するチタン膜の膜厚を大きくしようとすると、凹部の内部にもチタン膜が厚く堆積されてしまうので、主プラグ材料又は主配線材料の凹部に占める割合が減少して、配線抵抗が増大する恐れがある。そこで、凹部の内部に堆積されるチタン膜の膜厚を大きくすることなく、凹部以外の領域に堆積されるチタン膜の膜厚を大きくする方法を採用する必要がある。

【0081】第1の方法としては、スパッタ時において、基板とターゲットの距離を近くすると共にスパッタ時間を長くすることにより、凹部内の側面チタン膜の膜厚を大きくすることなく凹部以外の領域のチタン膜の膜厚を大きくすることができる。もっとも、凹部内の底にもチタン膜が厚く堆積する可能性があるため、溝の場合は、深さを大きくする必要がある。ここでは、チタン膜を例に説明したが、チタン膜と同程度の研磨速度を持ち、スパッタ法により堆積可能な導電膜であればチタン膜以外のものでもよい。

【0082】第2の方法としては、凹部を有しない絶縁膜の上に全面に亘ってチタン膜を堆積した後、チタン膜の上に凹部と対応する部分に開口部を持つレジストパターンを形成し、該レジストパターンをマスクとしてチタン膜及び酸化膜に対してエッチングを施すものである。このようにすると、エッチングによって、凹部領域のチタン膜が除去されると共に酸化膜の凹部が形成される。次に、レジストパターンを除去した後、チタン膜、中間層及び上層の導電膜を堆積し、その後、前記の条件で第1の研磨工程及び第2の研磨工程を行なう。ここでは、チタン膜を例に説明したが、チタン膜と同程度の研磨速度を持つ膜であれば他の種類の膜でもよく、レジストの堆積の前に絶縁膜上に堆積する膜は凹部内から除去されるため電流が流れなくてもよいので、絶縁性の膜でもよい。

【0083】

【発明の効果】本発明に係る埋め込み配線の形成方法によると、基板に対する加圧力又は上層の導電膜の膜厚にばらつきがあっても、第1の研磨工程においては、露出した下層の導電膜に対する研磨速度が遅くなる一方、残存する上層の導電膜に対する研磨速度が速くなるため、残存する上層の導電膜が速やかに除去されるので、上層の導電膜及び下層の導電膜の合計膜厚のばらつきが減少する。また、第2の研磨工程においては、プラグや配線は第1の研磨時ほど大きく研磨されず、また、プラグや配線が多く形成されているパターン領域とプラグや配線が殆ど形成されていない非パターン領域とがほぼ等しい研磨速度で研磨される。第1の研磨工程の終了後における導電膜の合計膜厚のばらつきが少なく共に、第2の研磨工程においては、プラグや配線は第1の研磨時ほど

大きく研磨されず、また、パターン領域と非パターン領域とがほぼ等しい研磨速度で研磨されるので、絶縁膜にエロージョンが発生し難く、基板面内に亘って絶縁膜の膜厚のばらつきが小さくなる。

【0084】従って、本発明に係る埋め込み配線の形成方法によると、絶縁膜にエロージョンが発生し難いと共に絶縁膜の膜厚のばらつきを小さくすることができるので、プラグを含めた配線抵抗や配線間容量はばらつくことがない。

10 【0085】本発明に係る埋め込み配線の形成方法において、第1の研磨剤が、絶縁膜に対する研磨速度が上層の導電膜に対する研磨速度の3分の1以下である研磨速度選択比を有していると、従来から用いられている研磨剤を第1の研磨工程に用いても、第1の研磨工程は、上層の導電膜が凹部の領域を除いて除去される一方下層の導電膜が残存するように研磨が行なわれるので、絶縁膜にエロージョンを発生させることなく、上層の導電膜及び下層の導電膜の合計膜厚のばらつきを減少させることができる。また、仮に、絶縁膜が或る箇所において若干露出したとしても、絶縁膜は殆ど研磨されることはない。

20 【0086】本発明に係る埋め込み配線の形成方法において、第1の研磨剤が、下層の導電膜に対する研磨速度が上層の導電膜に対する研磨速度の2分の1以下であるような研磨速度選択比を有していると、下層の導電膜が露出した時点で確実に第1の研磨工程を終了することができる。

30 【0087】本発明に係る埋め込み配線の形成方法において、第2の研磨剤が上層の導電膜に対する研磨能力を有していると、下層の導電膜が露出した時点で上層の導電膜が残存していても、第2の研磨工程で残存している上層の導電膜を除去することができる。

40 【0088】本発明に係る埋め込み配線の形成方法において、第2の研磨剤が、上層の導電膜に対する研磨速度が絶縁膜に対する研磨速度の3倍以下であるような研磨速度の選択を有していると、絶縁膜上に残存する導電膜を完全に除去するために絶縁膜が露出した後に研磨を継続しても、凹部内に堆積されている上層の導電膜に対する研磨が進み過ぎないので、絶縁膜エロージョンが発生し難い。

50 【0089】本発明に係る埋め込み配線の形成方法において、第1の研磨工程において、上層の導電膜が凹部の領域を除いて完全に除去されるまで研磨を行なうと、第2の研磨剤が上層の導電膜に対する研磨能力を有していても、上層の導電膜が残存して膜厚にばらつきが生じる事態を回避できる。

【0090】本発明に係る埋め込み配線の形成方法が、下層導電膜堆積工程と上層導電膜堆積工程との間に、下層の導電膜の上における凹部を含む領域に中間層の導電膜を堆積する中間層導電膜堆積工程を備えており、第1

の研磨工程が中間層の導電膜を凹部の領域を除いて除去する工程を含むと、凹部内の上層の導電膜を構成する主材料が拡散することを防止するべく中間の導電層を堆積しても、下層の導電膜が露出した時点で第 1 の研磨工程を終了することができる。

【0091】この場合、第 2 の研磨剤が、中間層の導電膜に対する研磨速度が下層の導電膜に対する研磨速度よりも大きいような研磨速度選択比を有していると、第 1 の研磨工程において膜厚のばらつきが発生しても、第 2 の工程において膜厚のばらつきを低減することができる。

【0092】また、前記の場合、第 1 の研磨工程において、中間層の導電膜が凹部の領域を除いて完全に除去されるまで研磨を行なうと、第 2 の研磨剤が中間層の導電膜に対する研磨能力を有していなくても、中間層の導電膜が残存して膜厚にばらつきが生じる事態を回避できる。

【0093】本発明に係る埋め込み配線の形成方法において、下層の導電膜がチタン膜であると共に上層の導電膜はタングステン膜であり、第 1 の研磨剤が研磨粒子としてアルミナを含むと共に酸化剤として硝酸鉄又はヨウ素酸カリウムを含むと、第 1 の研磨工程において、下層の導電膜に対する研磨速度が上層の導電膜に対する研磨速度よりも小さいような研磨を確実に行なうことができる。

【0094】本発明に係る埋め込み配線の形成方法において、絶縁膜はシリコン酸化膜であると共に下層の導電膜はチタン膜であり、第 2 の研磨工程における第 2 の研磨剤が研磨粒子としてシリカを含むと共に pH 調整剤として水酸化アンモニウム又は水酸化カリウムを含むと、第 2 の研磨工程において、絶縁膜に対する研磨速度と下層の導電膜に対する研磨速度とがほぼ等しいような研磨を確実に行なうことができる。

【図面の簡単な説明】

【図 1】(a)～(c)は本発明の一実施形態に係る埋め込み配線の形成方法の各工程を示す断面図である。

【図 2】酸化膜に対する研磨速度と導電膜に対する研磨速度とが等しい場合（従来例）における導電膜の膜厚と研磨時間との関係を示す図である。

【図 3】硝酸鉄系の研磨剤を用いて酸化膜が完全に露出するまで研磨を行なう場合（従来例）における導電膜の膜厚と研磨時間との関係を示す図である。

【図 4】ヨウ素酸カリウム系の研磨剤を用いて酸化膜が完全に露出するまで研磨を行なう場合（従来例）における導電膜の膜厚と研磨時間との関係を示す図である。

10 【図 5】硝酸鉄系の研磨剤を用いて本発明の一実施例の方法で研磨を行なう場合における導電膜と研磨時間との関係を示す図である。

【図 6】ヨウ素酸カリウム系の研磨剤を用いて本発明の一実施例の方法で研磨を行なう場合における導電膜と研磨時間との関係を示す図である。

【図 7】前記一実施形態に係る埋め込み配線の形成方法により形成した埋め込みプラグにおける、半導体基板上の位置と酸化膜の膜厚との関係を示す特性図である。

20 【図 8】(a) 及び (b) は従来の埋め込み配線の形成方法の各工程を示す断面図である。

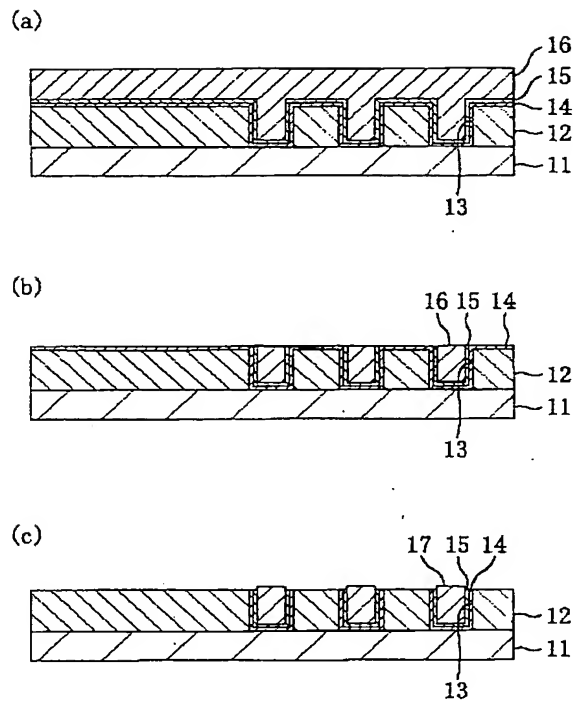
【図 9】従来の埋め込み配線の形成方法において、ヨウ素酸カリウムを含む研磨剤を用いて研磨したときの半導体基板の位置と酸化膜の膜厚との関係を示す特性図である。

【図 10】従来の埋め込み配線の形成方法において、硝酸鉄を含む研磨剤を用いて研磨したときの半導体基板の位置と酸化膜の膜厚との関係を示す特性図である。

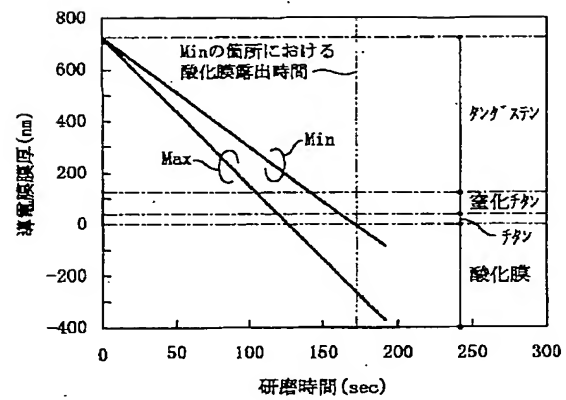
【符号の説明】

- 11 半導体基板
- 12 酸化膜
- 13 スルーホール
- 14 チタン膜
- 15 窒化チタン膜
- 16 タングステン膜
- 17 プラグ

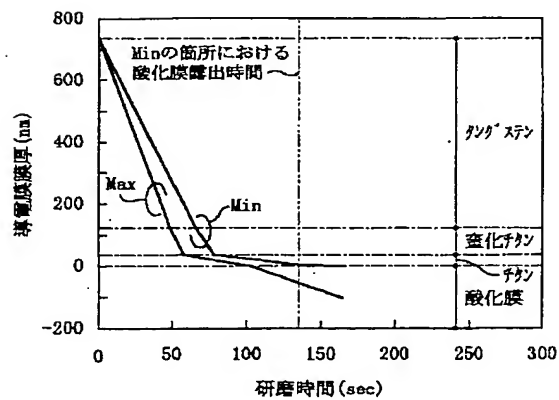
【図1】



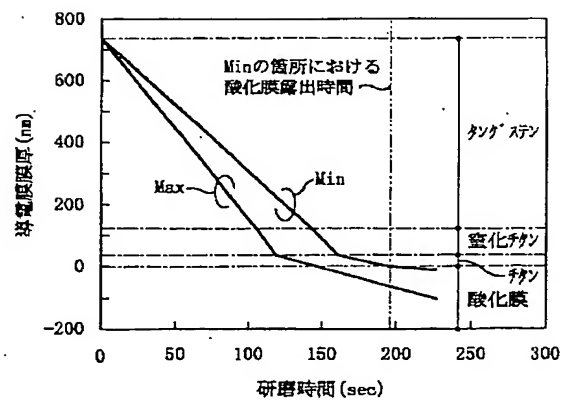
【図2】



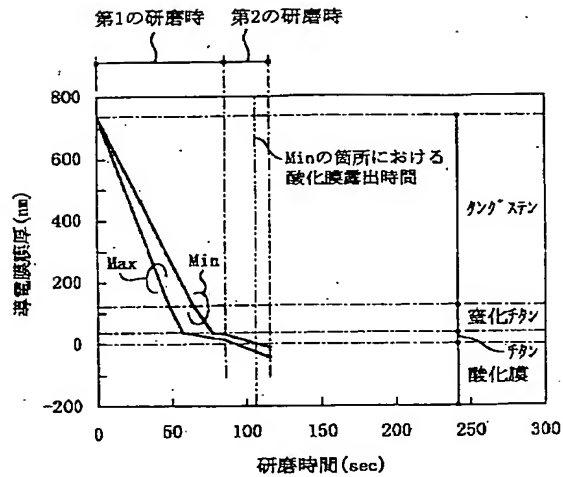
【図3】



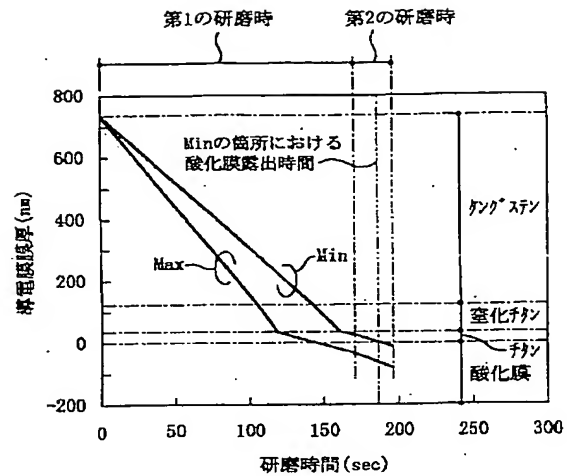
【図4】



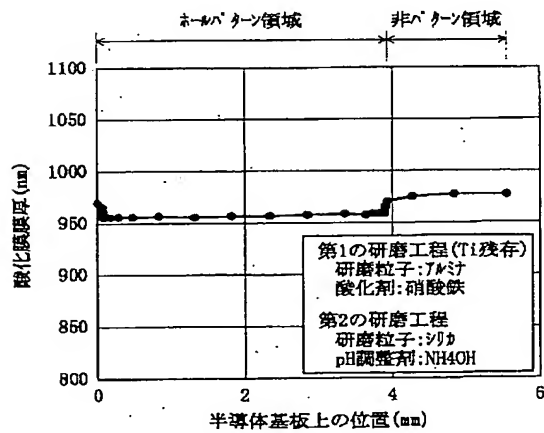
【図5】



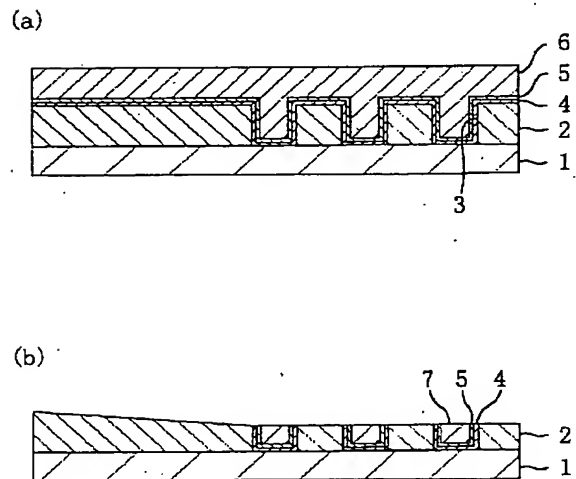
【図6】



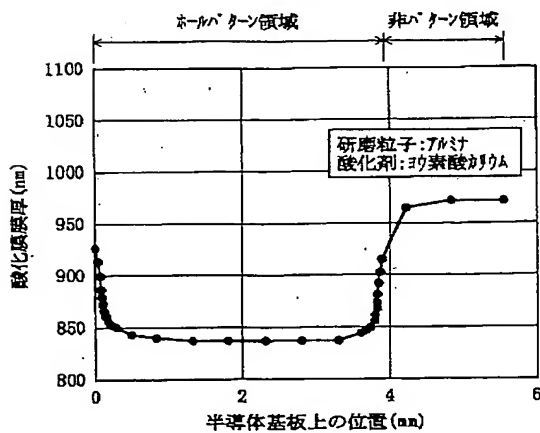
【図7】



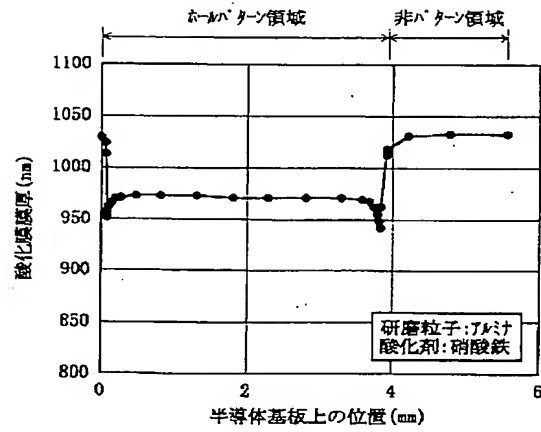
【図8】



【図9】



【図10】



【公報種別】特許法第17条の2の規定による補正の掲載
【部門区分】第7部門第2区分
【発行日】平成13年6月29日(2001.6.29)

【公開番号】特開平10-214834
【公開日】平成10年8月11日(1998.8.11)
【年通号数】公開特許公報10-2149
【出願番号】特願平9-13777
【国際特許分類第7版】

H01L 21/3205
21/28 301
21/304 321

【FI】

H01L 21/88 K
21/28 301 R
21/304 321 P
321 M

【手続補正書】

【提出日】平成12年6月7日(2000.6.7)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 基板上に絶縁膜を堆積する絶縁膜堆積工程と、
前記絶縁膜におけるプラグ又は配線が形成される領域に凹部を形成する凹部形成工程と、
前記絶縁膜の上における前記凹部を含む領域に下層の導電膜を堆積する下層導電膜堆積工程と、
前記下層の導電膜の上における前記凹部を含む領域にプラグ又は配線の主材料よりなる上層の導電膜を堆積する

上層導電膜堆積工程と、
前記上層の導電膜に対して、前記下層の導電膜に対する研磨速度が前記上層の導電膜に対する研磨速度よりも小さい研磨速度選択比を有する第1の研磨剤を用いて、前記上層の導電膜が前記凹部の領域を除いて除去される一方前記下層の導電膜が露出するように化学機械研磨を行なう第1の研磨工程と、
前記下層の導電膜に対して、前記下層の導電膜に対する研磨速度が前記絶縁膜に対する研磨速度に比べて同程度以上である第2の研磨剤を用いて、前記下層の導電膜が前記凹部の領域を除いて完全に除去される一方前記絶縁膜が残存するように化学機械研磨を行なう第2の研磨工程とを備えていることを特徴とする埋め込み配線の形成方法。

THIS PAGE BLANK (USPTO)

This Page is inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLORED OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images problems checked, please do not report the problems to the IFW Image Problem Mailbox

THIS PAGE BLANK (USPTO)